

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

APPLICANT: SHOICHIRO MATSUMOTO)
FOR: ORGANIC EL PANEL)

CLAIM FOR PRIORITY

Mail Stop Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

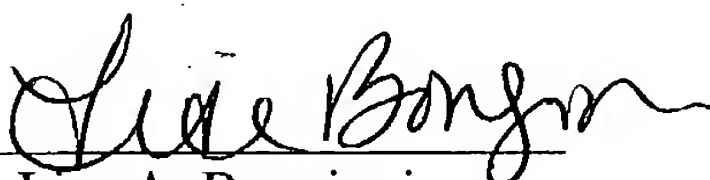
Dear Commissioner:

Enclosed herewith is a certified copy of Japanese Patent Application No. 2002-218862 filed on July 26, 2002. The enclosed Application is directed to the invention disclosed and claimed in the above-identified application.

Applicant hereby claims the benefit of the filing date of July 26, 2002, of the Japanese Patent Application No. 2002-218862, under provisions of 35 U.S.C. 119 and the International Convention for the protection of Industrial Property.

Respectfully submitted,

CANTOR COLBURN LLP

By: 

Lisa A. Bongiovi
Registration No. 48,933
Cantor Colburn LLP
55 Griffin Road South
Bloomfield, CT 06002
Telephone: (860) 286-2929
Customer No. 23413

Date: July 25, 2003

Translation of Priority Certificate

JAPAN PATENT OFFICE

This is to certify that the annexed is a true copy of the following application as filed with this Office.

Date of Application: July 26, 2002

Application Number: Patent Application No. 2002-218862
[ST.10/C] [JP2002-218862]

Applicant(s): SANYO ELECTRIC CO., LTD.

June 26, 2003

Commissioner, Shinichiro OTA
Japan Patent Office

Priority Certificate No. 2003-3050705

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 7月26日

出 願 番 号

Application Number:

特願2002-218862

[ST.10/C]:

[JP2002-218862]

出 願 人

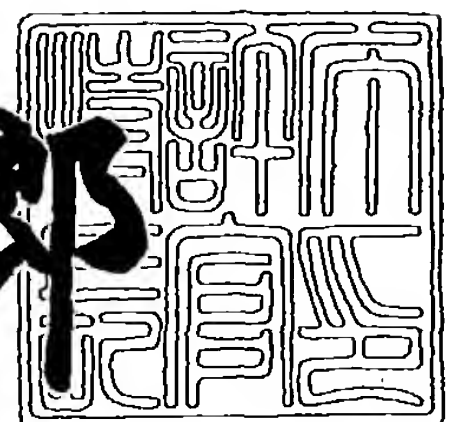
Applicant(s):

三洋電機株式会社

2003年 6月26日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3050705

【書類名】 特許願

【整理番号】 RSL1020056

【提出日】 平成14年 7月26日

【あて先】 特許庁長官殿

【国際特許分類】 G09C 3/20 610

【発明者】

 【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社
社内

 【氏名】 松本 昭一郎

【特許出願人】

 【識別番号】 000001889

 【氏名又は名称】 三洋電機株式会社

【代理人】

 【識別番号】 100075258

 【弁理士】

 【氏名又は名称】 吉田 研二

 【電話番号】 0422-21-2340

【選任した代理人】

 【識別番号】 100096976

 【弁理士】

 【氏名又は名称】 石田 純

 【電話番号】 0422-21-2340

【手数料の表示】

 【予納台帳番号】 001753

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 有機 E L パネル

【特許請求の範囲】

【請求項 1】 有機 E L 素子を複数マトリクス状に配置した有機 E L パネルであって、

各有機 E L 素子に対応して設けられ、対応する有機 E L 素子へ供給する駆動電流を制御する駆動トランジスタと、

有機 E L 素子が配置される表示領域の周辺に配置され、有機 E L 素子の駆動トランジスタを制御するための信号を出力する周辺トランジスタと、

を有し、

前記駆動トランジスタのゲート長を前記周辺トランジスタのゲート長に比べ大きくすることを特徴とする有機 E L パネル。

【請求項 2】 有機 E L 素子を複数マトリクス状に配置した有機 E L パネルであって、

各有機 E L 素子に対応して設けられ、対応する有機 E L 素子へ供給する駆動電流を制御する駆動トランジスタと、

有機 E L 素子が配置される表示領域の周辺に配置され、有機 E L 素子の駆動トランジスタを制御するための信号を出力する周辺トランジスタと、

を有し、

前記駆動トランジスタのゲート長 L / ゲート幅 W を前記周辺トランジスタのゲート長 L / ゲート幅 W に比べ大きくすることを特徴とする有機 E L パネル。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、有機 E L 素子を複数マトリクス状に配置した有機 E L パネルに関する。

【 0 0 0 2 】

【従来の技術】

従来より、フラットディスプレイパネルの 1 つとして、有機 E L ディスプレイ

パネルが知られている。この有機ELディスプレイパネルは、液晶ディスプレイパネル（LCD）とは異なり、自発光であり、明るく見やすいフラットディスプレイパネルとしてその普及が期待されている。

【 0 0 0 3 】

この有機ELディスプレイは、有機EL素子を画素として、これを多数マトリクス状に配置して構成される。また、この有機EL素子の駆動方法としては、LCDと同様にパッシブ方式とアクティブ方式があるが、LCDと同様にアクティブマトリクス方式が好ましいとされている。すなわち、画素毎にスイッチ素子を設け、そのスイッチ素子のオンオフを制御して、各画素の表示をコントロールするアクティブマトリクス方式の方が画素毎のスイッチ素子のないパッシブ方式より高精細の画面を実現でき好ましい。

【 0 0 0 4 】

図4に、従来の薄膜トランジスタ（TFT）を利用した有機ELパネルにおける画素回路の構成例を示す。有機ELパネルは、このような画素をマトリクス配置して構成される。

【 0 0 0 5 】

行方向に伸びるゲートラインGLには、ゲートラインGLによって選択されるnチャンネル薄膜トランジスタである第1TFT10のゲートが接続されている。この第1TFT10のドレインには列方向に伸びるデータラインDLが接続されており、そのソースには他端が容量ラインSLに接続された補助容量CSが接続されている。また、第1TFT10のソースと補助容量CSの接続点は、pチャンネル薄膜トランジスタである第2TFT21のゲートに接続されている。そして、この第2TFT21のソースが電源VLに接続され、ドレインが有機EL素子ELに接続されている。なお、有機EL素子ELの他端はカソード電源VCに接続されている。

【 0 0 0 6 】

そして、垂直ドライバ回路60によって、ゲートラインGLがハイレベルにセットされる。すなわち、ゲートラインGLは画素の水平ライン毎に設けられており、これが順次Hレベルにセットされる。これによって、Hレベルにセットされ

たゲートラインGLにゲートが接続されている第1 TFT 1 0 がすべてオンする。

【0 0 0 7】

一方、データラインDLは、水平ドライバ回路6 2 が接続されており、この水平ドライバ6 2 は表示すべきビデオ信号（データ）がビデオ信号ラインに供給されるタイミングで、ビデオ信号ラインとデータラインDLを接続する。

【0 0 0 8】

従って、ゲートラインGLがHレベルの時に第1 TFT 1 0 がオンとなり、そのときのデータラインDLのデータが補助容量CSに保持される。そして、この補助容量CSに維持されているデータ（電位）に応じて第2 TFT 2 1 がオンされ、第2 TFT 2 1 がオンしている場合に有機EL素子ELに電流が流れ、発光する。

【0 0 0 9】

また、図5に示すように、ゲートラインGLを制御する垂直ドライバ回路6 0 およびデータラインDLを制御する水平ドライバ回路6 2 は、有機EL素子がマトリクス配置される表示領域の周辺に配置されている。なお、有機ELパネルで必要な電源、各種信号などは表示領域の周辺に配置されたインタフェース6 4 を介し供給される。

【0 0 1 0】

ここで、第2 TFT 2 1 は、容量に保持された電圧に応じた電流を広範囲に安定して流すことが要求される。また、電流量をなるべく抑え、低消費電力を実現したいという要求がある。

【0 0 1 1】

このため、この第2 TFT 2 1 についての電源電圧を低く設定することが考えられる。これによって、第2 TFT に流す電流を小さくでき、かつ電流量の調整の範囲を維持することができる。

【0 0 1 2】

【発明が解決しようとする課題】

しかし、第2 TFT 2 1 の電源電圧を低くすると、有機EL素子のバラツキや

第 2 T F T 2 1 のバラツキに基づいて発光量制御がうまくいかなくなるという問題もあった。

【 0 0 1 3 】

本発明は、上記課題に鑑みなされたものであり、第 2 T F T の動作を十分なものに維持することができる有機 E L パネルを提供することを目的とする。

【 0 0 1 4 】

【課題を解決するための手段】

本発明は、有機 E L 素子を複数マトリクス状に配置した有機 E L パネルであって、各有機 E L 素子に対応して設けられ、対応する有機 E L 素子へ供給する駆動電流を制御する駆動トランジスタと、有機 E L 素子が配置される表示領域の周辺に配置され、有機 E L 素子の駆動トランジスタを制御するための信号を出力する周辺トランジスタと、を有し、前記駆動トランジスタのゲート長を前記周辺トランジスタのゲート長に比べ大きくすることを特徴とする。

【 0 0 1 5 】

このように、本発明によれば、駆動トランジスタのゲート長が大きく設定されている。そこで、駆動トランジスタから有機 E L 素子に供給する電流量を小さくすることができ、かつ広範囲で確実な電流量制御が行える。

【 0 0 1 6 】

また、有機 E L 素子を複数マトリクス状に配置した有機 E L パネルであって、各有機 E L 素子に対応して設けられ、対応する有機 E L 素子へ供給する駆動電流を制御する駆動トランジスタと、有機 E L 素子が配置される表示領域の周辺に配置され、有機 E L 素子の駆動トランジスタを制御するための信号を出力する周辺トランジスタと、を有し、前記駆動トランジスタのゲート長 L / ゲート幅 W を前記周辺トランジスタのゲート長 L / ゲート幅 W に比べ大きくすることを特徴とする。

【 0 0 1 7 】

これによっても、駆動トランジスタのゲート長が大きく設定されている。そこで、電流量を小さくすることができ、かつ広範囲で確実な電流量制御が行える。

【 0 0 1 8 】

【発明の実施の形態】

以下、本発明の実施形態について、図面に基づいて説明する。図1は、本実施形態に係る回路における画素部分の概略構成を示す平面図である。なお、この回路構成は、上述の図4と同一である。

【0019】

列（垂直）方向にはデータラインDLおよび電源ラインVLが所定間隔で配置され、行（水平）方向にはゲートラインGLが所定間隔で配置され、これらデータラインDLと、ゲートラインGL、電源ラインVLで区画された画素エリアに第1、第2TFT（駆動トランジスタ）10、21、容量CS、有機EL素子50が設けられている。

【0020】

データラインDLは、例えば、アルミから構成され、これに第1TFT10のドレインがコンタクト12によって接続されている。ここで、データラインDLの画素領域の右上に当たる部分には内側に向けて突出する突出部12aが設けられており、ここにコンタクト12が形成されている。

【0021】

第1TFT10は、ガラス基板上に設けられたポリシリコンからなる半導体層14を有しており、データラインDLの突出部12aの下方に半導体層14の一端が延びここが厚み方向に延びるコンタクト12によって突出部12aに接続されている。

【0022】

第1TFT10は、このコンタクト12がドレイン領域になっている。そして、この半導体層14は、水平方向に延び、その上方にはゲート絶縁膜を介し、2つのゲート電極16が配置されている。このゲート電極16は例えばMo、Crなどで形成されるゲートラインGLから下方（内側）に向けて突出形成されている。半導体層14は、ゲート電極16の下方の半導体層14がチャネル領域になっており、ドレイン領域と反対側の端部がソース領域になっている。

【0023】

半導体層14はそのまま延び容量CSの一方側の電極となっている。この容量

C S は、半導体層 1 4 と、これに誘電体層を介し対向する容量電極からなっており、この容量電極は容量ライン S L の一部として形成されている。容量ラインも例えば M o 、 C r など形成される。

【 0 0 2 4 】

ポリシリコンからなる半導体層 1 4 は、容量 C S の電極の部分からそのまま下方に延びアルミで接続された一対のコンタクト 1 8 a 、 1 8 b を介し第 2 T F T 2 1 のゲート電極 2 0 に接続される。なお、ゲート電極 2 0 は、例えば M o で形成される。ここで、第 2 T F T 2 1 は、半導体層 2 2 を有しており、この半導体層 2 2 の両端部が電源ライン V L に接続されるドレイン領域、中央部が有機 E L 素子 5 0 に接続されるソース領域、ドレイン領域とソース領域の間であってその上方にゲート絶縁膜を介しゲート電極 2 0 が配置される部分がチャネル領域になっている。

【 0 0 2 5 】

また、第 2 T F T 2 1 を構成する半導体層 2 2 は、電源ライン V L に沿って延びる細長い形状をしている。そして、その上下端の一対のドレイン領域の厚み方向の上方に電源ライン V L の一部が突出して一対の突出部 2 4 a 、 2 4 b が形成され、ここにコンタクト 2 6 a 、 2 6 b がそれぞれ形成されて電源ライン V L と第 2 T F T 2 1 の一対のドレイン領域との接続が行われる。

【 0 0 2 6 】

ここで、本実施形態においては、図 2 に模式的に示すように、第 2 T F T 2 1 のゲート長 L は、周辺ドライバ回路に用いる周辺 T F T （周辺トランジスタ）に比べ長くしている。ここで、この周辺 T F T としては、ゲートライン G L や、データライン D L の選択を制御するための垂直ドライバ回路や水平ドライバ回路のシフトレジスタを構成する T F T が挙げられる。なお、周辺ドライバ回路には、各種の T F T が利用されるが、これらは基本的にすべて同一のプロセスで形成され、そのサイズも基本的には同一である。

【 0 0 2 7 】

周辺 T F T は、スイッチング動作を行うものであり、第 2 T F T とは異なる電源（V d d）により高速動作する。従って、そのゲート長 L は、小さいものが好

適である。

【0028】

一方、第2 TFT 21は、そのゲート電圧の制御により、有機EL素子51への電流量を制御して表示輝度の制御を行うものである。従って、所定の範囲の電流量を正確に制御できる必要がある。本実施形態の第2 TFT 21では、ゲート長Lが長くなっている。そこで、低電流領域においても、ゲート電圧による電流量制御を確実に行えるという効果が得られる。このようにゲート長Lを大きくすると、TFTの動作が遅くなる。しかし、第2 TFTは、補助容量CSに保持される電圧によって、通常1フレームの期間同一の電流を流し続ける。従って、スイッチのオンオフ動作が高速である必要がなく、ゲート長Lを大きくすることで、好適な特性を得ることができる。

【0029】

なお、図2において第2 TFT 21は、並列接続される2つのトランジスタの内、1つのトランジスタのみを示している。

【0030】

ここで、第2 TFT 21のゲート長Lを設定する場合、次の条件を満足する必要がある。

【0031】

(i) 画素の第2 TFTに流れる電流 I_{ds} は、周辺TFTに比べ微小な電流であり、有機材料に応じたオン電流(I_{on} :白表示)と、オフ電流(I_{off} :黒表示)が存在し、適切な階調表示の場合、 $I_{on}/I_{off} \geq 100$ を満足する必要がある。

【0032】

(ii) そして、このような広範囲の電流制御を現在開発されている有機材料で形成される有機EL素子を駆動する第2 TFT 21において実現するには、バラツキや劣化特性を考慮し、電源ラインVLの電圧として所定の最低電源電圧 PV_{ddmin} と、最短ゲート長 L_{min} が必要である。また、オン電流 I_{on} を流せる最大電源電圧 PV_{ddmax} と最長ゲート長 L_{max} も存在する。

【0033】

上述のような条件を満足するためには、図3に斜線で示すように、第2 T F T 2 1 を有効な動作範囲内で動作させるために、適切なゲート長Lの許容範囲が存在する。そして、このゲート長Lは、周辺トランジスタにおいて適切なゲート長と比べ必ず長くなる。従って、本実施形態に係る第2 T F T 2 1 により、好適な階調制御が行え、かつ周辺トランジスタにおいて、十分な高速動作を維持することができる。また、周辺トランジスタは、電源をV d d とし、ゲート電圧で決まる最大駆動電流I d s m a x で動作する。

【0 0 3 4】

さらに、周辺トランジスタにおいて、十分な電流を得、また第2 駆動T F T 2 1 においてI o n を確保するためには、ゲート幅Wとしてほぼ同一のものが必要であり、第2 T F T 2 1 のゲート長L／ゲート幅Wを周辺回路におけるT F T のゲート長L／ゲート幅Wに比べ大きくすることが必要になる。

【0 0 3 5】

なお、周辺トランジスタのゲート幅W／ゲート長Lは5～5 0 0 μ m／1～1 0 μ m、第2 駆動T F T のゲート幅W／ゲート長Lは5～1 0 μ m／1 0～1 0 0 μ m程度が好ましい。

【0 0 3 6】

【発明の効果】

以上説明したように、本発明によれば、駆動トランジスタのゲート長を大きくまたはゲート幅／ゲート長比を小さく設定する。そこで、電流量を小さくすることができ、かつ広範囲で確実な電流量制御が行える。

【図面の簡単な説明】

【図1】 実施形態に係る第2 T F T を含む画素の構成を示す図である。

【図2】 第2 T F T と周辺T F T の構成を示す図である。

【図3】 適切なゲート長の示す図である。

【図4】 画素回路の構成を示す図である。

【図5】 有機E L パネルの全体構成を示す図である。

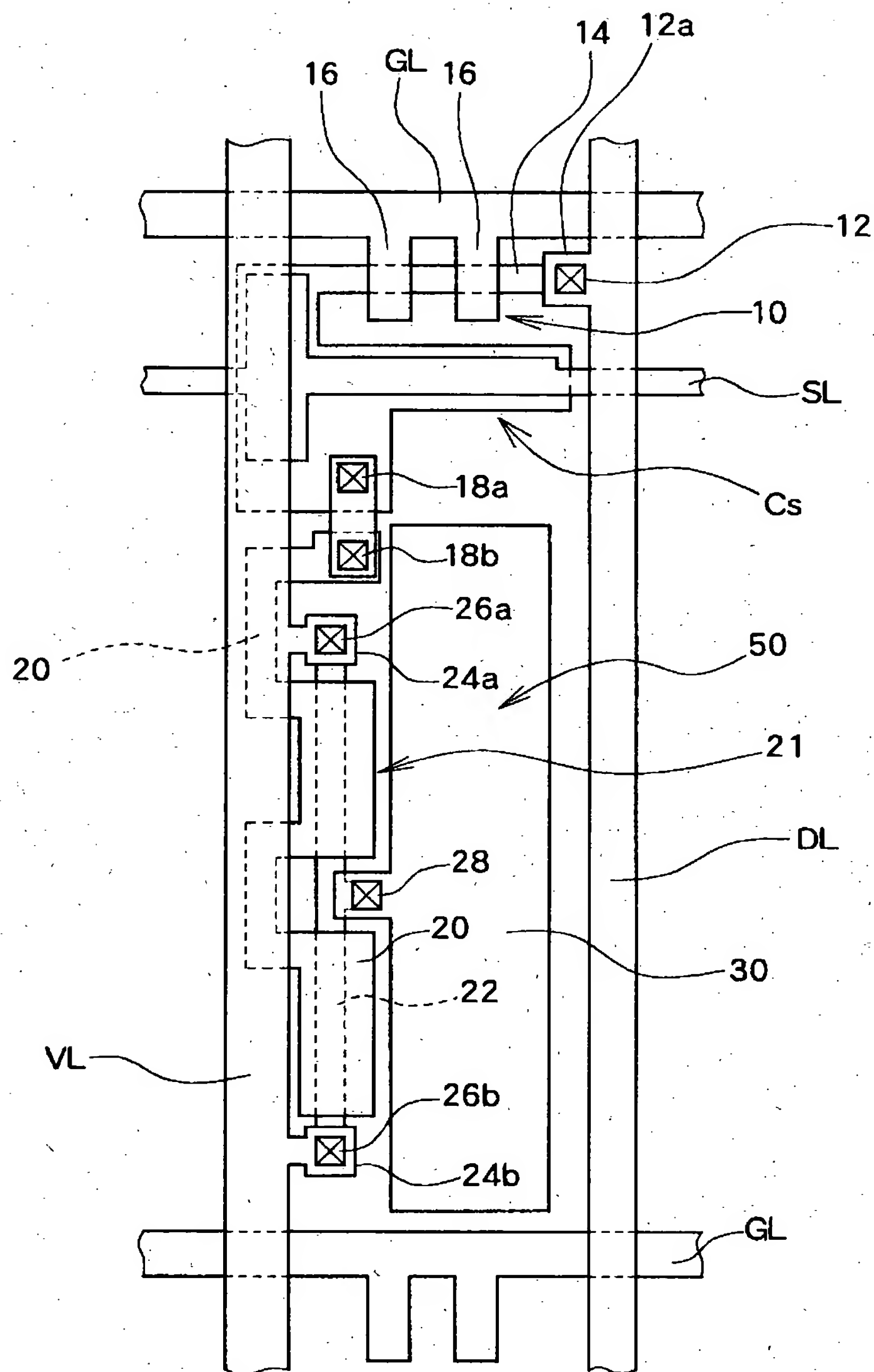
【符号の説明】

2 1 第2 T F T、6 0 垂直ドライバ回路、6 2 水平ドライバ回路。

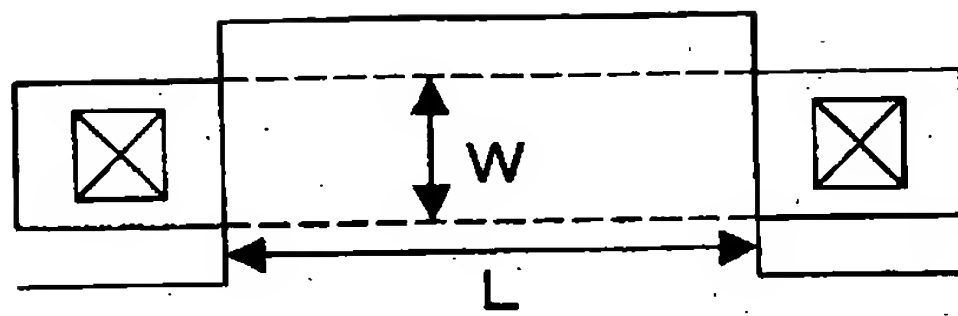
【書類名】

図面

【図 1】

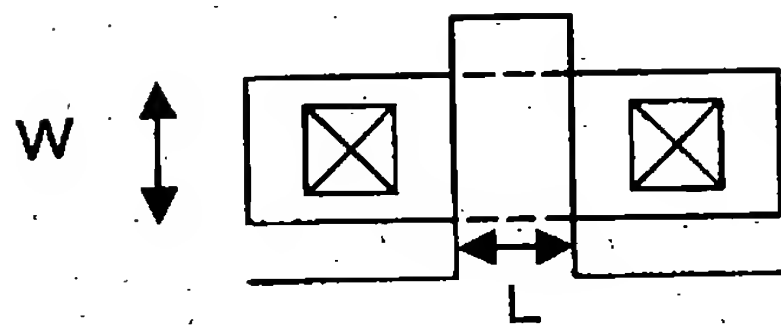


【図2】



第2TFT21

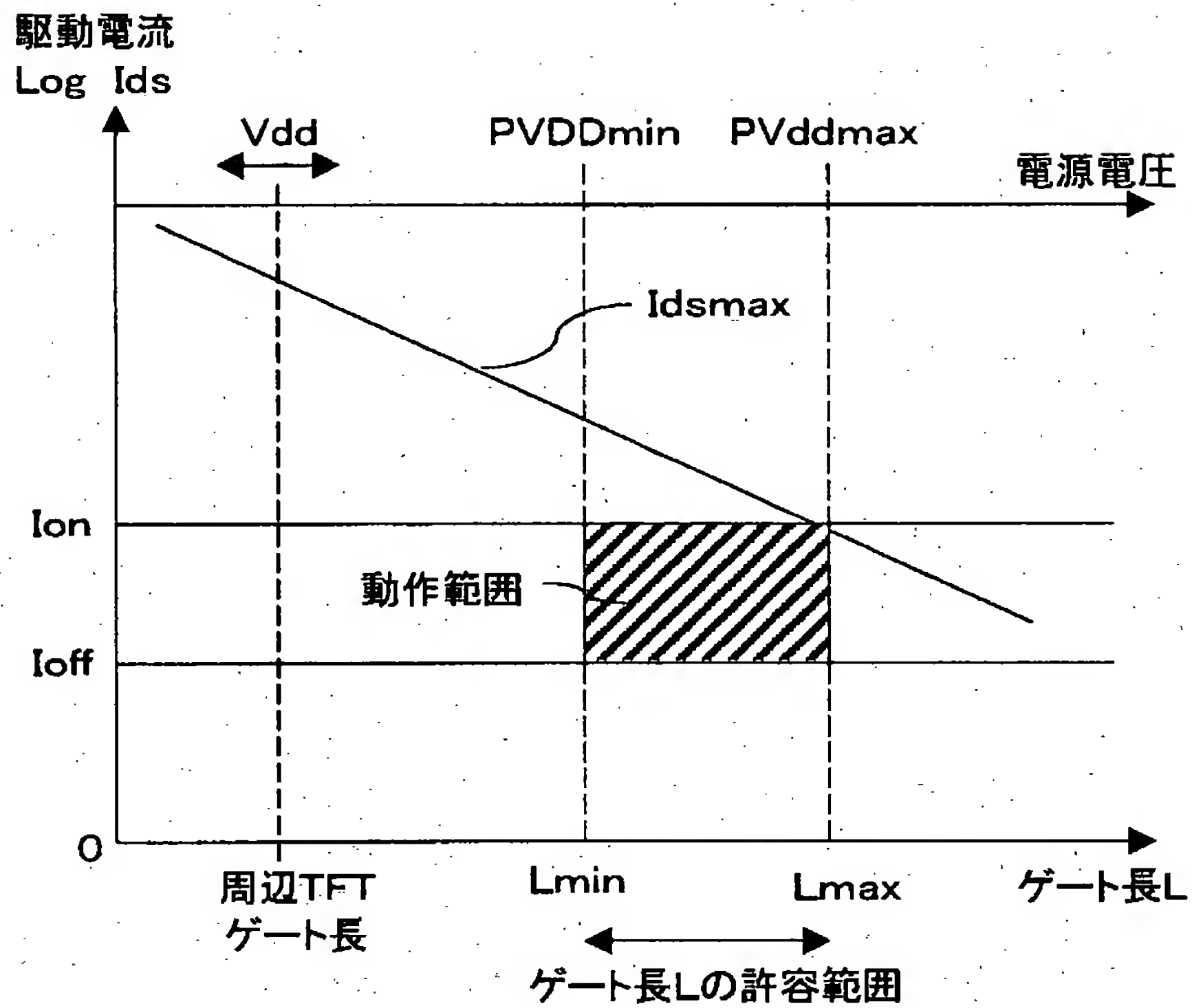
(a)



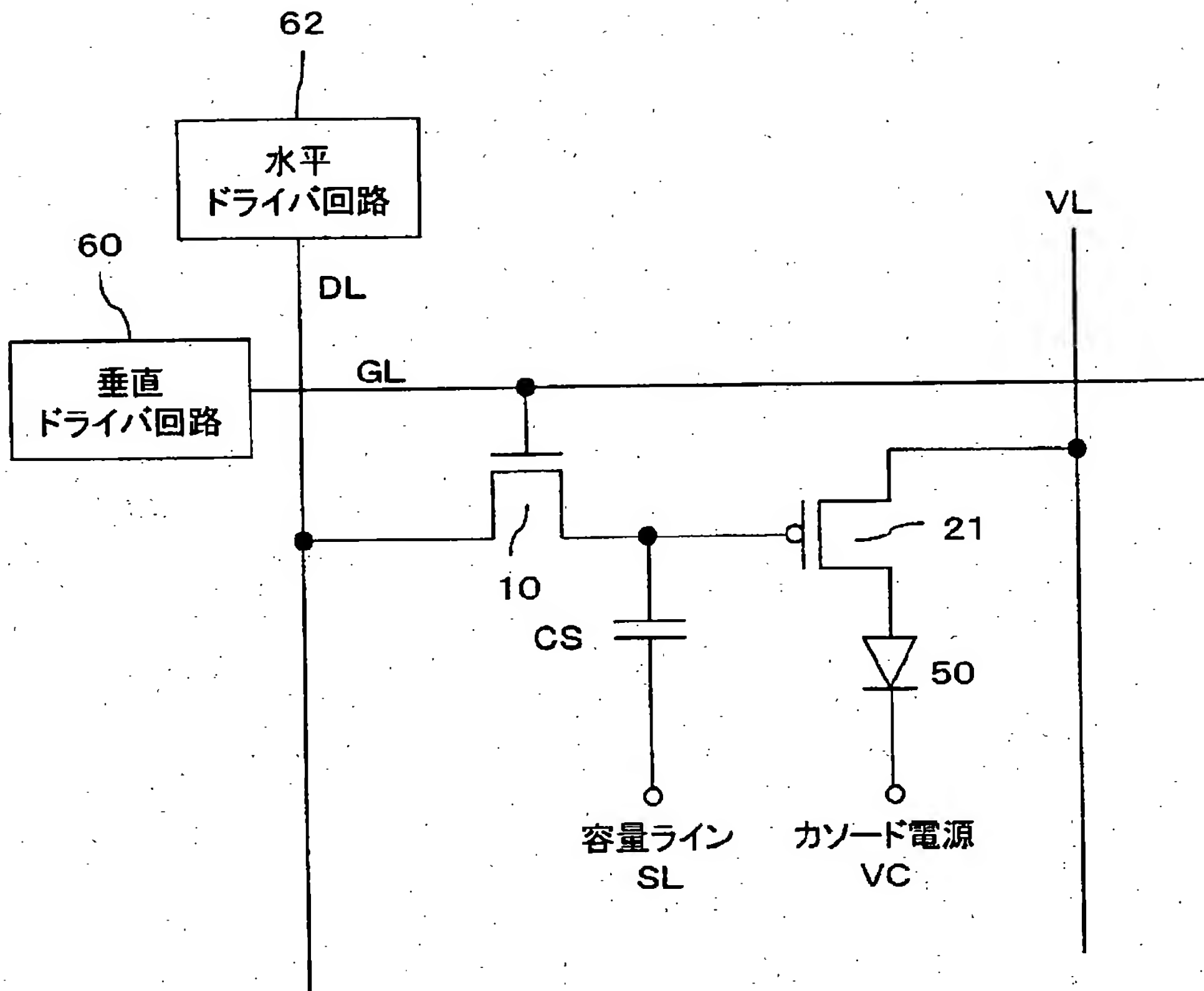
周辺TFT

(b)

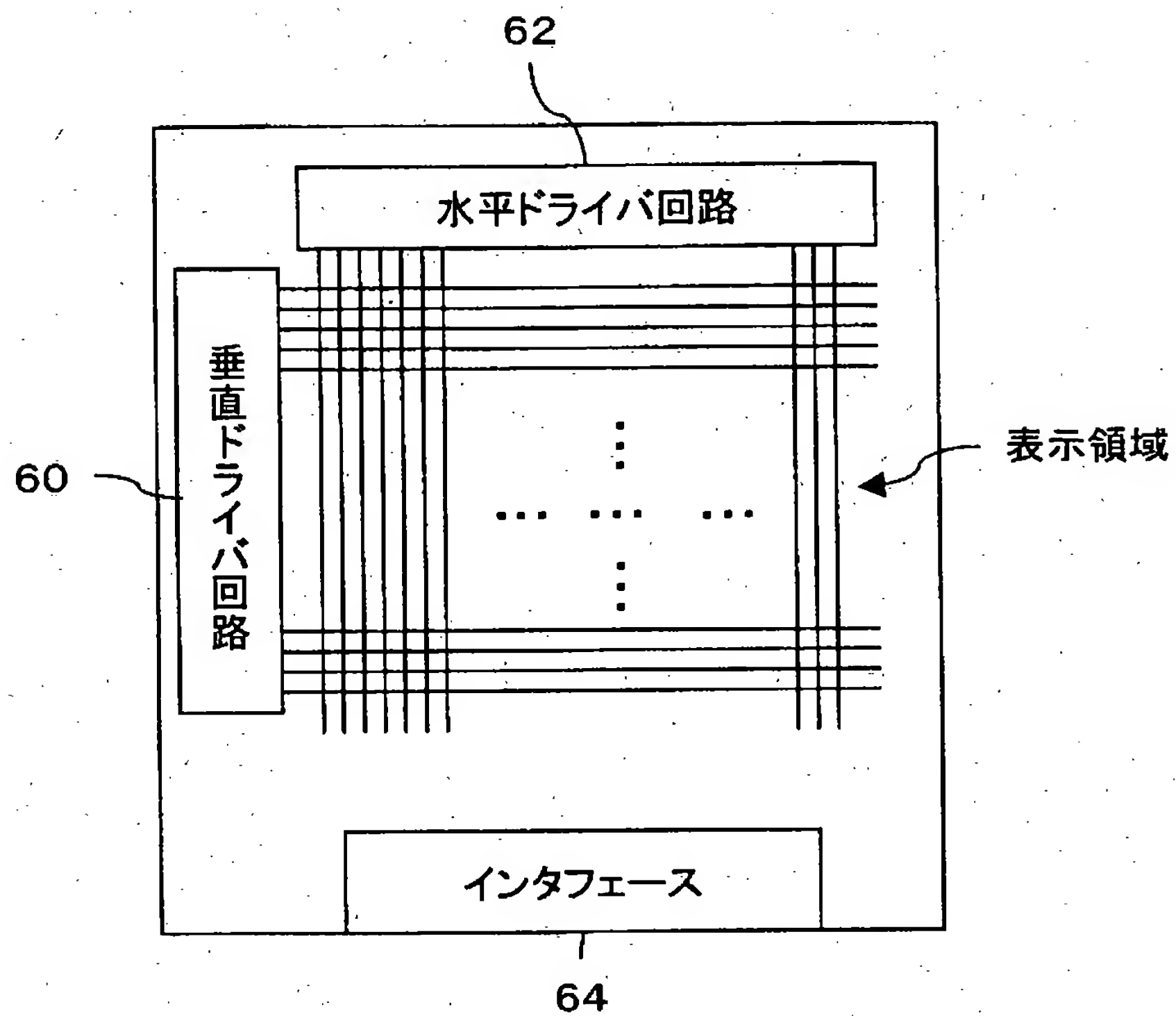
【図 3】



【図4】



【図5】



【書類名】 要約書

【要約】

【課題】 第 2 T F T による E L 素子駆動電流制御を効果的に行う。

【解決手段】 第 2 T F T 2 1 のゲート長 L を周辺 T F T のゲート長 L に比べ大きくする。これによって、第 2 T F T 2 1 により小さな電流まで精度よく制御することができる。

【選択図】 図 2

出 願 人 履 歴 情 報

識別番号 [000001889]

1. 変更年月日 1993年10月20日

[変更理由] 住所変更

住 所 大阪府守口市京阪本通2丁目5番5号

氏 名 三洋電機株式会社